

TC
S. DEMİREL ÜNİVERSİTESİ
TEKNİK EĞİTİM FAKÜLTESİ
ELEKTRONİK-BİLGİSAYAR EĞİTİMİ BÖLÜMÜ

SAYISAL ELEKTRONİK II

DERSİ DENEY RAPORLARI

İÇERİK	BAHAR YARIYILI RAPORLARI
TARİH	24/05/01
HAZIRLAYAN	ŞEVKET KESER 99/42

MANTIK DEVRELERİ II DERSİ

I.HAFTA DENEY RAPORU

DENEY I

BÜYÜKLÜK KARŞILAŞTIRICILARI (COMPORATORS)

Deneyin amacı:İki bitlik iki sayının karşılaştırmasını gerçekleştiren devrenin tasarımı ,bord üzerine kurulumu ve çıkışta büyük-eşit-küçük durumlarının gözlemlenmesi

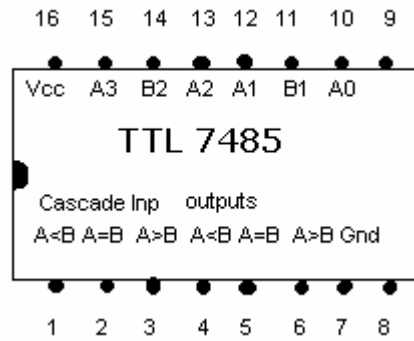
Kullanılan malzemeler

Eleman	Değeri	Adedi
1) TTL entegresi	7485	1
2) Direnç	390 ohm	7
3) Led	Kırmızı	7
4) Güç kaynağı	220/15 Volt	1
5) Bord	-	1

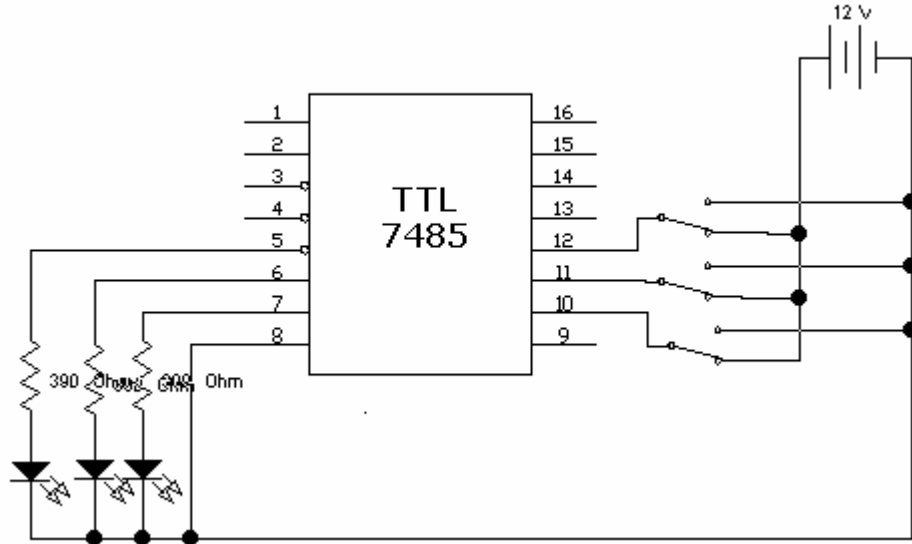
TEORİK BİLGİ-DEVRENİN TASARIMI

(A)..7485 Hakkında;

7485 entegresi, temelde 4 bitlik 2sayıyı karşılaştıran ve karşılaştırdığı veriye göre çıkış oluşturan lojik elemandır.Entegrede karşılaştırılacak bitlerin girildiği girişlerin yanı sıra birden fazla aynı tür entegrenin bir arada kullanılmasını sağlayan yetkilendirme girişleri de bulunmaktadır.



A	A'	B	B'	A>B	A=B	A<B	(B)..2 İfade yazımı ve sadeleştirmeler::
0	0	0	0	1	0	0	A>B,A=B ve A<B Durumları için Minterm ifadeleri
0	0	0	1	0	0	1	A>B
0	0	1	0	0	1	0	A>B=A0'A1B0'B1'+A0A1'B0'B1'+A0A1'B0'B1'+ A0A1'B0'B1'+ A0A1B0'B1'+ A0A1B0'B1'+ A0A1B0B1
0	0	1	1	0	0	1	İfadenin karno haritasında sadeleştirilmesi sonucu aşağıdaki ifade elde edilmiştir;
0	1	0	0	1	0	0	A>B= A0B0'+A1B0'B1'+A0A1B1'
0	1	0	1	0	1	0	A=B
0	1	1	0	0	1	0	A=B=A0'A1'B0'B1'+A0'A1B0'B1'+A0A1'B0B1'+ A0A1B0B1
1	0	0	0	1	0	0	Sadeleştirme sonucu;
1	0	0	1	1	0	1	A=B= (A0.B0)(A1.B1)
1	0	1	0	0	1	0	A<B
1	0	1	1	0	0	1	A<B=A0'A1'B0'B1'+A0'A1'B0B1'+A0'A1'B0B1'+ A0'A1B0B1'+ A0'A1B0B1'+ A0A1'B0B1
1	1	0	0	1	0	0	Karno sadeleştirme sonucu;
1	1	0	1	1	0	0	A<B= A0'B0+ A0'A1'B1 +A1'B0B1



Şekil 1 (Deney Bağlantı Şeması)

DENEYİN YAPILIŐI

Baęlantı Őemasına uygun olarak malzemeler bord üzerine kurulur.Devreye 5V DC gerilim uygulanır.Anahtarlar A0,A1,B0 ve B1 uçlarını temsil eder.Anahtarları deney doęruluk tablosuna uygun olarak konumlandırırız

DENEYİN SONUCU

Deneyde 2 bitlik 2 sayının deęiŐken bit durumları iŐin karŐılaŐtırılmasını gördük.Bu durum genelleŐtirildięinde ve büyük dijital devrelere uygulandıęında baŐta telefon santralleri olmak üzere dięer birŐok anahtarlama esasına dayanan devre tasarlanabilir ve uygulanabilir.Bunun yanında deneyde 7485 entegesinin iŐ yapısını da öğrenmiŐ olduk

Skeser

MANTIK DEVRELERİ II DERSİ

II.HAFTA DENEY RAPORLARI

DENEY I

ASTABLE-KARARSIZ- MULTİVİBRATÖRLERİN GERÇEKLEŞTİRİMİ

Deneyin amacı:Astable multivibratör devresini transistör-direnç gibi basit devre elemanlarıyla kurmak ve dalga şekillerini incelemek..

Kullanılan malzemeler

Eleman	Değeri	Adedi
1) Transistör	BC238	2
2) Direnç	390 ohm	4
3) Led	Kırmızı	2
4) Güç kaynağı	220/15 Volt	1
5) Bord	-	1

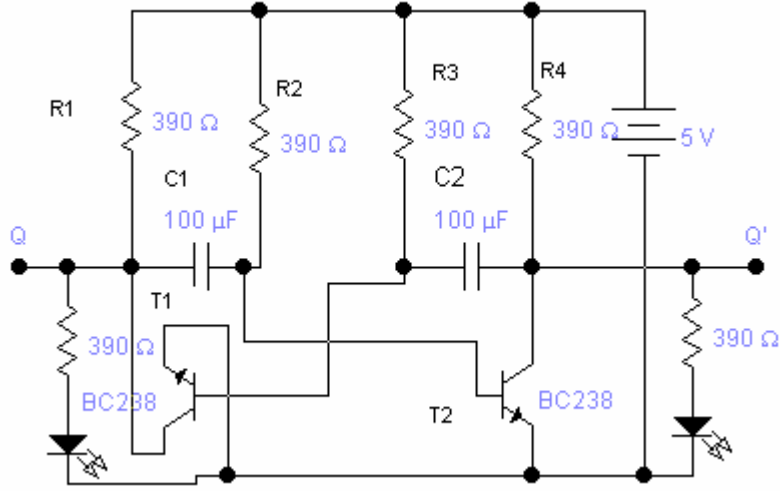
ASTABLE -KARARSIZ- MULTİVİBRATÖRLER HAKKINDA..

Çıkışların periyodik olarak sürekli değiştiği kare dalga üreten osilatör olarak kullanılabilen veya kısa aralıklarla periyodik çalışan sistemleri kontrol etmek amacıyla kullanılan içten geri beslemeli sistemlerdir. Teorik olarak çalışma mantıkları aşağıda açıklanmıştır.

İlk adımda T1 in iletimde T2`nin kesimde olduğunu kabul edersek;C2 kondansatörü 2 nolu direnç üzerinden +Vc gerilimine dolar.Aynı zamanda C1 ve T1 iletimde olduğundan R1 üzerinden deşarj olur ve C1 şarj durumundadır.C1 in şarj durumu T2`nin Beyzini + yaptığından T1 kesime gider.T1 iletimden kesime gittiğinden $Q=0$ da $1e^-$, T2 kesimden iletime geçtiğinden $Q'=1$ den 0 a gider.Bu sırada önce şarj olan C2 , T2nin iletimiyle birlikte açılan R1 yolu üzerinden deşarj olur.Böylece kondansatörler durumları bir önceki konumlarının tam tersi olur.Bu polarite değerleri T2 yi iletimden kesime($Q'=0 \Rightarrow 1'e^-$), T1 ide kesimden iletime ($Q=1 \Rightarrow 0'a^-$) götürür.Sistemde kaynak gerilimi olduğu sürece Q ve Q' değerleri şarj-deşarj yolu ,kondansatör ve direnç değerlerine bağlı olarak sürekli konum değiştirir.

Eğer; $C1=C2, R1=R2, R3=R4$ şartı sağlanırsa kare, $R1 \neq R2, R3 \neq R4$ durumu gözlenirse kare dalga elde edilir.

DENEYİN BAĞLANTI ŞEMASI



Şekil 2

DENEYİN YAPILIŞI

- Devre şekildeki gibi board üzerine kurulup gerilim tatbik edilir.
- Elde edilen veriler kaydedilir.
- Çalışma sonucu ortaya çıkan durum ve veriler deneyin çalışma prensibine uygunluk kontrolü yapılır.

DENEYİN SONUCU

Deneyde sayısal elektronikte önemli mantıksal kontrol elemanlarından bir tanesi olan multiplexer –veri tekilleyici veya seçici – 74151 entegresinin içyapısı ve çalışma mekanizması yanında “bilgi”nin nasıl işlenip işimize yarayabileceğini de görmüş olduk.Bu sistem sayesinde biz istediğimiz veriyi seçme imkanına sahip olduk.Bu mantık büyük devrelerle entegre bir şekilde kullanıldığı zaman bize birden fazla veri kümesinden istediğimizi seçmemizi sağlar.Bu ise devre tasarımının mantıksal mantıksal kontrol mekanizması için vazgeçilmez bir süreçtir.

skeser

DENEY II

TEK KARARLI MULTİVİBRATÖRLER

Deneyin amacı: Tek kararlı multivibratör devresinin çalışma prensibinin, mantığının, ve bilgi depolamasının temel devre elemanlarıyla incelenmesi.

Kullanılan malzemeler:

Eleman	Değeri	Adedi
1) Transistör	BC238	2
2) Direnç	390 ohm	6
3) Led	Kırmızı	2
4) Güç kaynağı	220/15 Volt	1
5) Bord	-	1

SİTEMİN ÇALIŞMA PRENSİBİ

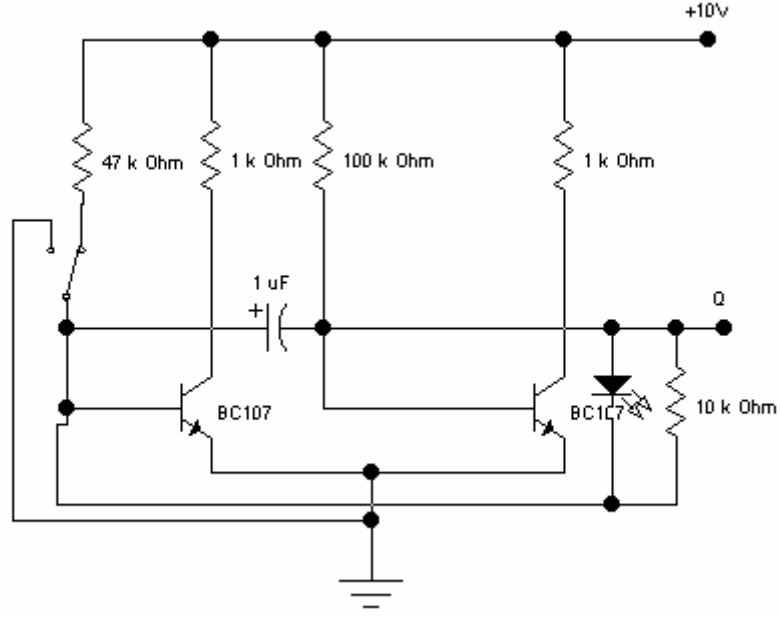
Monostable-tek kararlı multivibratörler ; dışarıdan uygulanan sinyal ile durumunu geçici olarak değiştirip,tekrar eski durumuna dönen elektronik devrelerdir.Bu devrede girişe uygulanan sinyal ile devrenin eski duruma dönme süresi ayarlanarak ,istenilen şekilde kare veya dikdörtgen dalga üretilebilir.Sistemde tetikleme girişi bulunur,tetikleme girişi anahtar ile sağlanır.Çıkış karalı durumu tetikleme palsiyle durum değişir.

Sisteme Vcc gerilimi uygulandığında T2 doyumda,T2 kollektöründen geri besleme alan T1 ise kesimdedir.T1 girişini iletme geçirecek bir pals uygulanmadığı surece bu durum korunur.T1 in beyzine pozitif bir darbe uygulandığında T1 iletme geçer.

Sistemin kullanım alanlarıysa;

Bilgisayarda kısa süreli zamanlama palsi reteci olarak,sayısal sistemlerde elle kontrol edilen saat darbe üretici olarak çeşitlilik göstermektedir.

DENEYİN BAĞLANTI ŞEMASI



Şekil 3

DENEYİN YAPILIŞI

Devre şekilde görüldüğü gibi bord üzerinde konumlandırılır. Düzgün olmayan bir kurulum deneyden istenilen sonucun alınamamasına sebep olur. Sistemde ilk durumda yukarıda da bahsedildiği gibi led yanmaktadır. Devrede led çıkış tetikleme palsiyde durum değiştirir. Sistem çalışır durumdayken anahtardan yapılan tetiklemeyle çıkışın yani ledin durumunu değiştirip değiştirmedeği gözlemlenir.

DENEYİN SONUCU

Deneyde tek kararlı multivibratör devresinin çalışma prensibin yanı sıra transistörün, direnç ve kondansatörün beraber kullanımında nasıl durumlar oluştuğu da incelenmiş oldu.

skeser

MANTIK DEVRELERİ II DERSİ

II.HAFTA DENEY RAPORLARI

DENEY I

MULTİPLEXER DEVRESİNİN TTL ENTEGRESİYLE GERÇEKLEŞTRİMİ

Deneyin amacı:4x1 Multiplexer devrenin çalışma prensbinin 74151 entegresiyle incelenmesi.

Kullanılan malzemeler

Eleman	Değeri	Adedi
1) TTL entegresi	74151	3
2) Direnç	390 ohm	1
3) Led	Kırmızı	1
4) Güç kaynağı	220/15 Volt	1
5) Bord	-	1

74151 VE 74155 HAKKINDA

Kavramlar ;

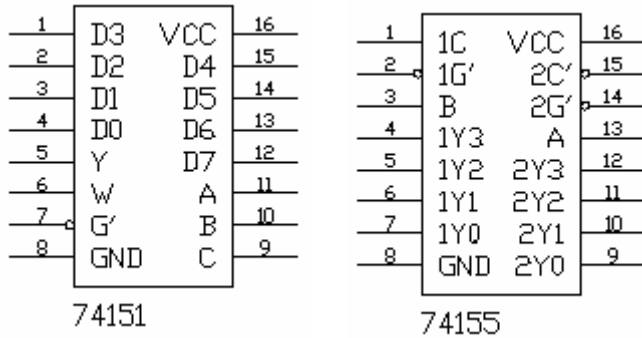
Girişler: Mux ve demux'a veri taşıyan kanallar.

Seçici uçlar:Mux ve Demux'un hangi çıkışı vereceğine karar veren uçlar.

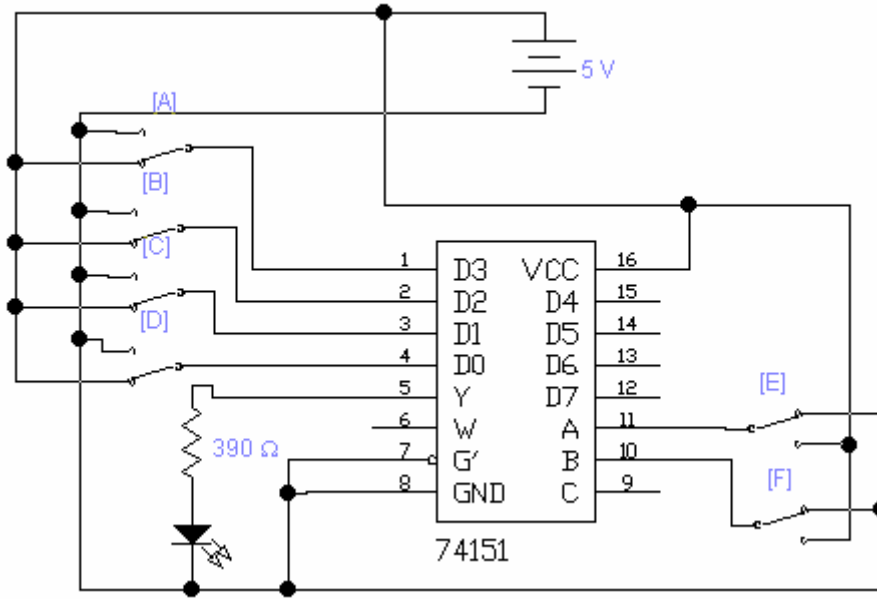
Enable:-yetkilendirme- Değeri 0 ise entegre çalışır 1 ise çalışmaz.

Çıkışlar:Mux ve Demux tarafından işlenen verinin taşındığı hatlar.

Giriş ve Seçici uç ilişkisi: 2 üzeri n kadar giriş-çıkış varsa n kadarda seçici uç olmalıdır.



DENEYİN BAĞLANTI ŞEMASI



Şekil 4

DENEYİN YAPILIŞI

Devre şekilde görüldüğü gibi bord üzerine kurulur. Yetkilendirme girişi olan 7(G) no'lu ayağa "0" verilir. Eğer bu ayağa "0" vermezsek uçlara verdiğimiz değer ne olursa olsun Y entegre çıkış değeri "0" olur. Saha sonra seçici uçlar ve data girişleri entegre doğruluk tablosuna göre değiştirilerek çıkış ledinin durumu gözlemlenir. Elde edilen sonuçlar düzenli olarak kaydedilir. Daha sonra bu sonuçlarla entegrenin doğruluk tablosu karşılaştırılır ve sonuçların uyumluluğu gözlenir

DOĞRULUK TABLOSU 74151 (1-OF-8 DATA SEL/MUX)

Select | Strobe | Output

B A | G' | Y

-----|-----|-----

X X | 1 | 0

0 0 | 0 | D0

0 1 | 0 | D1

1 0 | 0 | D2

1 1 | 0 | D3

Deneyden elde edilen veriler doğrultusunda yandaki doğruluk tablosu oluşturulur.

G' ucu entegrenin "strobe" yani yetkilendirme ucudur. Bu girişi deneyimizde kullanmayız fakat birden fazla entegrenin eşgüdümlü kullanıldığı devrelerde bu uç önemli görevler üstlenmektedir.

A ve B uçları ise girişlerden hangisinin çıkışa aktarılacağını belirler.

DENEYİN SONUCU

Deneyde sayısal elektronikte önemli mantıksal kontrol elemanlarından bir tanesi olan multiplexer –veri tekilleyici veya seçici – 74151 entegresinin içyapısı ve çalışma mekanizması yanında “bilgi”nin nasıl işlenip işimize yarayabileceğini de görmüş olduk.Bu sistem sayesinde biz istediğimiz veriyi seçme imkanına sahip olduk.Bu mantık büyük devrelerle entegre bir şekilde kullanıldığı zaman bize birden fazla veri kümesinden istediğimizi seçmemizi sağlar.Bu ise devre tasarımının mantıksal mantıksal kontrol mekanizması için vazgeçilmez bir süreçtir.

Skeser

DENEY II

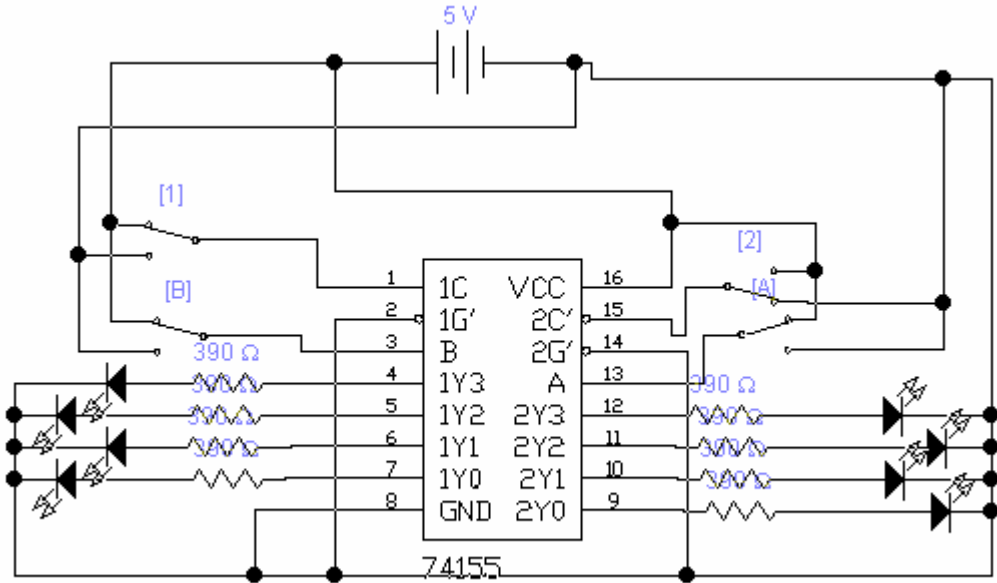
DEMULTİPLEXERİN TTL ENTEGRELERİYLE GERÇEKLEŞTRİMİ

Deneyin amacı: Demultiplexer devresinin çalışma prensibinin, mantığının, 74155 TTL serisi entegreyle incelenmesi

Kullanılan malzemeler:

Eleman	Değeri	Adedi
1) TTL tipi entegre	74151	1
2) Direnç	390 ohm	5
3) Led	Kırmızı	5
4) Güç kaynağı	220/15 Volt	1

DENEYİN BAĞLANTI ŞEMASI



Şekil 5

DENEYİN YAPILIŞI

Devre şekilde görüldüğü gibi bord üzerinde konumlandırılır. Düzgün olmayan bir kurulum deneyden istenilen sonucun alınamamasına sebep olur. Entegrenin yetkilendirme girişi '0' konumuna getirilir.

Sonra Data girişlerine entegre doğruluk tablosu referans alınarak -1C ve 2C- sayısal anlamda "1 -0" verileri sırayla girilir. Bundan sonra seçici uçların (A-13 ve B-3 nolu uçlar) konum değiştirmesiyle çıkış durumu gözlemlenir. Gözlemlerin sonucunda doğruluk tablosu düzenlenir. Doğruluk tablosunun ise entegre doğruluk tablosuyla örtüşmesi deneyin doğruluğunu kanıtlar.

DOĞRULUK TABLOSU74155 (DUAL 2-TO-4 DEC/DEMUX)

Decoder/Demultiplexer truth table: (Kodlayıcı/ veri çoklayıcı doğruluk tablosu)

Select | Strobe | Data | Outputs

A B | G' | C | Y0 Y1 Y2 Y3

-----|-----|-----|-----

X X | 1 | X | 1 1 1 1 enable girişi onayı yok; dolayısıyla entegre çalışmaz.

0 0 | 0 | 1 | 0 1 1 1 Y0

0 1 | 0 | 1 | 1 0 1 1 Y1

1 0 | 0 | 1 | 1 1 0 1 Y2

1 1 | 0 | 1 | 1 1 1 0 Y3

X X | X | 0 | 1 1 1 1 Bu durumda entegrenin enable girişi belirsizdir.

DENEYİN SONUCU

Deney veri çoklayıcısının –Demux- çalışma mantığını açıklamaktadır. Sistem işleyişi ise ; entegreye 2 bitlik bilgi gelir, girilen veri seçici uçlar sayesinde istenen çıkışa aktarılır. Sistem bu haliyle pek fazla şey ifade etmemektedir fakat demux diğer sistemlerle birlikte kullanıldığında veri çoklama yeteneği sayesinde önemli görevler yerine getirmektedir.

skeser

MANTIK DEVRELERİ II DERSİ

IV.HAFTA DENEY RAPORLARI

DENEY I

J-K TİP FLİP-FLOP ENTEGRESİYLE DEVRE TASARIMI

Deneyin amacı:J-K flip-flop entegresi ile verilen şartları sağlayan devrenin tasarım ve gerçekleştirimi.

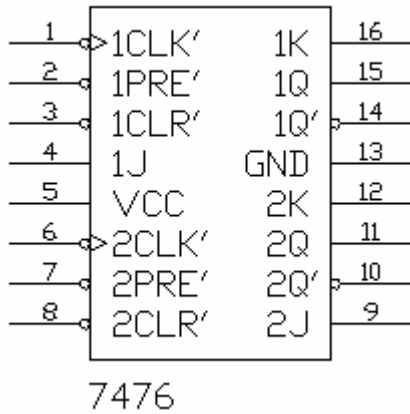
Kullanılan malzemeler

Eleman	Değeri	Adedi
1) Entegre	7476-7408	2-2
2) Direnç	390 ohm	4
3) Led	Kırmızı	2
4) Güç kaynağı	220/15 Volt	1
5) Bord	-	1

J-K FLİP-FLOP'LAR VE 7476 ENTEGRESİ HAKKINDA..

JK flip-flopu,RS tipindeki belirsizlik durumun JK tipinde tanımlı olması açısından,temelde RS flip-flopun gelişmiş bir türüdür.J ve K girişleri ,S be R girişleri gibi flip-flopu kurmak ve silmek için kullanılır.(JK ff da J harfini kurma , K harfinin ise silme anlamına geldiğine dikkat ediniz.)Girişler J ve K girişlerine aynı anda uygulandığı zaman,flip-flop tumleyen durumuna geçer, yani $Q=1$ ise $Q=0$,0 ise 1 yapar.

JK 7476 Entegresinin sembol ve doğruluk tablosu



JK flip-flop karakteristik tablosu:

Q (t)	Q(t+1)	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

DEVRE TASARIMI

Aşağıda A,B,C bölüm sekmelerin altında verilen 1-0 şartlarının jk flip-floplar ile sağlandığı devrenin tasarımının yapılması istenmiştir.

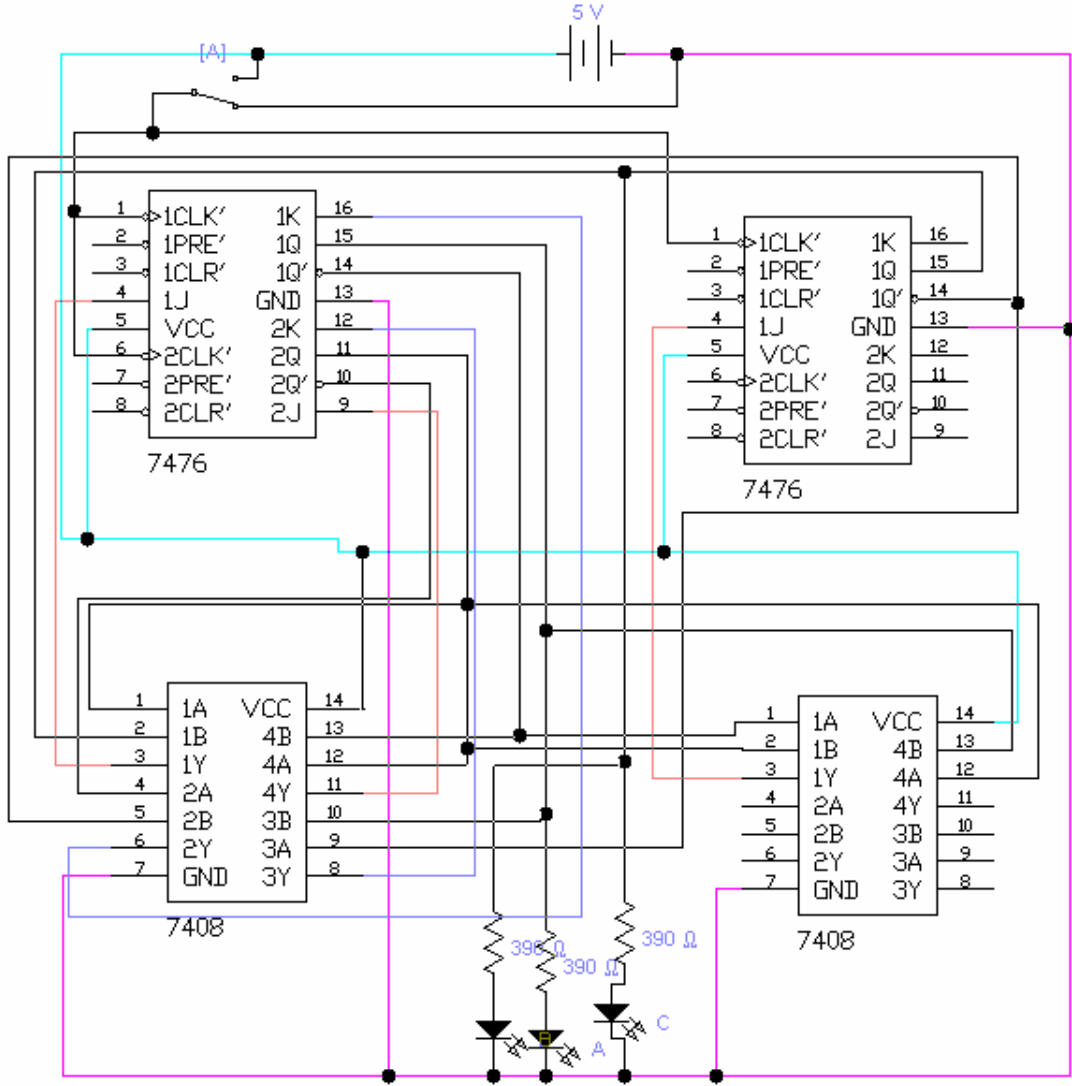
Harfler ledleri temsil eder			JK(1)		JK(2)		JK(3)		(X)..Karno haritalarını kullanarak flip-flop tasarımı:::
A	B	C	J1	K1	J2	K2	J3	K4	
1	1	1	X	0	X	0	X	1	(A)..Tasarımda kullanılacak f-f tespit edilir.
1	1	0	X	0	X	1	0	X	(B)..Giriş değişken sayısına göre f-f sayı tespiti yapılır.
1	0	0	X	1	0	X	0	X	(C)..Her f-f için durum geçiş tablosu hazırlanır.
0	0	0	0	X	0	X	1	X	(D)..Tablo karno ile sadeleştirilir.
0	0	1	0	X	1	X	X	0	(E)..Sadeleştirme sonuçlarına göre gerekli kapı ilaveleriyle devre vucuda getirilir.
0	1	1	1	X	X	0	X	0	Deneyde 3 adet f-f kullanılmıştır.

Durum geçiş tabloları

DENEYİN YAPILIŞI

Deneyde verilen şartları sağlayan devrenin tasarımı yapılmıştır.Dış dünyadan girilen veriler sayısal olarak ifade edilmiştir Anahtar yerine 50 hz`lik sinyal jeneratörü yerleştirilirse daha sağlıklı bir çalışma elde edilir.Sisteme elektrik verildiğinde ve A anahtarıyla uygun tetikleme yapıldığında verilen doğruluk tablosuna ait veriler elde edilir.

DENEYİN BAĞLANTI ŞEMASI



Şekil 6

DENEYİN SONUCU

Deneyde dış dünyadaki türü farklı olan verilerin sayısal ortama aktarımı yetisi kazanılmıştır. JK türü f-f ile kurulan bu sistem diğer tür f- ile de kurulabilir. A B C değişkenlerinin temsil ettiği büyüklükler dış dünyada ki bir çok veriye karşılık gelebilir. Buna somut örnek olarak trafik ışıklarını verebiliriz, trafik ışıkları bundan biraz daha karmaşık yöntemle de tasarlanırsa benzer mantık içerir.

MANTIK DEVRELERİ II DERSİ

V.HAFTA DENEY RAPORU

DENEY I

SIFIRLAMALI ASENKON SAYICI

Deneğin amacı:Sıfırdan dokuza kadar sayan sonrada dokuza ulaştığında tekrar sıfıra dönen asenkron sayıcı gerçekleştirimi.

Kullanılan malzemeler ;

Eleman	Değeri	Adedi
1) Entegre	7476-7447-7400	2-1-1
2) Direnç	390 ohm	8
3) Kondonsatör	1mikroF	1
4) Ortak anotlu display	-	1
5) Güç kaynağı	220/15 Volt	1
6) Bord	-	1

TEORİK BİLGİ

DENEY VE ASENKRON SAYICILAR HAKKINDA KISACA..

Clok A B C D

0 0 0 0 0

Tetikleme sinyalininn f-f lara uygulanış zamanına göre sayıcılar;

1 1 0 0 0

(A)..Asenkron sayıcılar

2 0 1 0 0

(B)..Senkron sayıcılar

3 1 1 0 0

Olmak üzere iki gruba ayrılırlar.Bir flip-flop un çıkışının onu takip eden V, flip-flop un girişini tetiklemek için kullanıldığı sayıcılar 'Asenkron sayıcılar' olarak tanımlanırlar.Bu tip sayıcılarda flip-flop`lar 'toggle' modunda çalışırlar, yani uygulanan her tetikleme sinyalinde durum değiştirirler.Asenkron sayıcıların en önemli dezavantajları,tetikleme yönteminden kaynaklanan yayılım gecikmesidir.

4 0 0 1 0

5 1 0 1 0

6 0 1 1 0

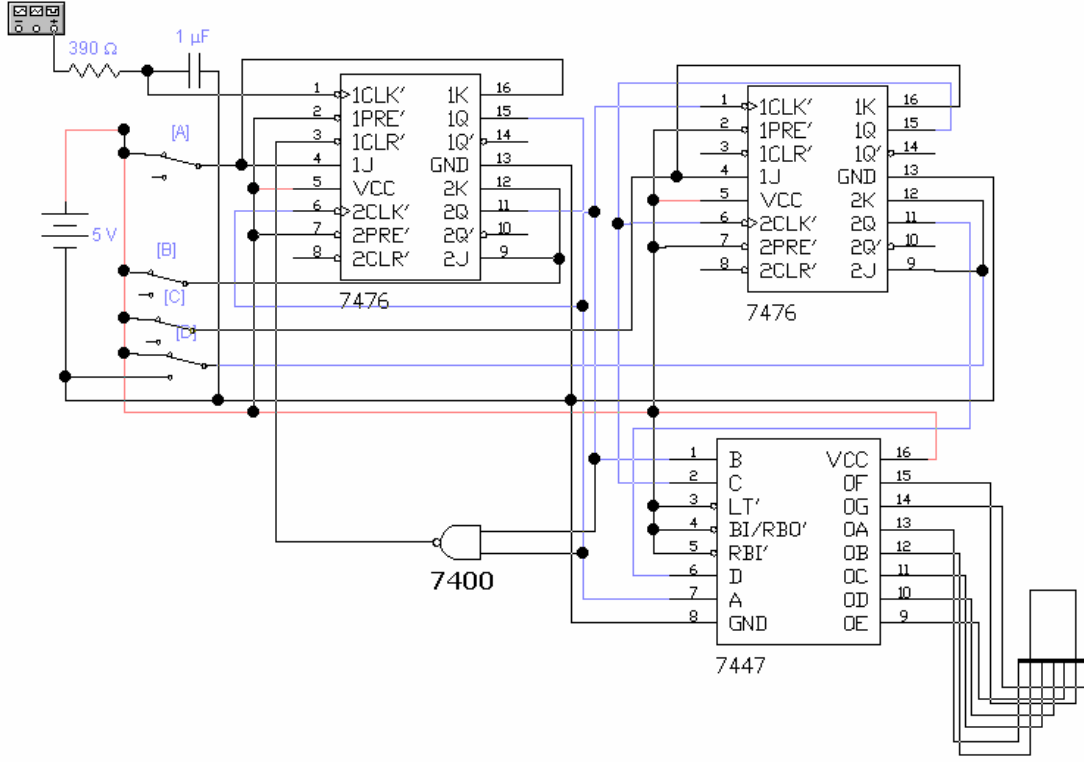
7 1 1 1 0

8 0 0 0 1

9 1 0 0 1

Deneyde kullanılan ve I. Dönem ayrıntılı incelenen 7447 entegresiyle gerçekleştirilen kod çözücü devresi ile ilgili ayrıntılı bilgiyi bir önceki katolokta bulabilirsiniz.Ayrıca devredeki entegre ve display ile ilgili ayrıntılı bilgi ek I de mevcuttur.

DENEY BAĞLANTI ŞEMASI



Şekil 7

DENEYİN YAPILIŞI

Devrede bulunan flip-flop'lar toggle modunda çalıştılarından tetikleme sinyali ile , ilgili flip-flop'un durumu 1'den 0'a yada 0'dan1'e değişir.En düşük değerlikli flip-flop olan ve gelen tetikleme sinyallerini alan A' flip-flop'u ilk gelen tetikleme sinyalinin düşen kenarı ile durum değiştirir ve Qa çıkışı '1' olur.İkinci gelen tetikleme sinyalinin düşen kenarı A flip-flopunun durumunu 1 den 0 a değiştirir.Bu sırada A flip-flopunun çıkışının bağlı olduğu B flip-flopu tetiklenir.ve Qb çıkışı '1' olur.Bu durum Qc ve Qb üzerinden bu şekilde devam eder.

DENEYİN SONUCU

Sisteme enerji verdiğimizde 0 dan başlayıp 9 a kadar saydığını ve tekrar 9 dan sonra 0 a döndüğünü ve tekrar 0 dan 9 a saymaya devam ettiğini gördük.Deneyde esas olarak J-K tipi flip-flopların birbirleriyle senkronize olarak nasıl çalıştıkları anlaşılmış oldu.

MANTIK DEVRELERİ II DERSİ

VI.HAFTA DENEY RAPORU

DENEY I

4`DEN 9`A KADAR ÖN KURMALI ASENKON SAYICI

Deneyin amacı:4`den 9`a kadar sayma işlemeini gerçekleştiren asenkron ön kurmalı sayıcının JK flip-floplarla gerçekleştirimi.

Kullanılan malzemeler ;

Eleman	Değeri	Adedi
1) Entegre	7476	2
2) Direnç	390 ohm	8
3) Kondansatör	1mikroF	1
4) Ortak anotlu display	-	1
5) Güç kaynağı	220/15 Volt	1
6) Bord	-	1

TEORİK BİLGİ

DENEY VE ASENKRON SAYICILAR HAKKINDA KISACA..

Tetikleme sinyalinin f-f'lara uygulanış zamanına göre sayıcılar;

(A)..Asenkron sayıcılar

Clok A B C D Karş

0 0 1 0 0 4

1 0 1 0 1 5

2 0 1 1 0 6

3 0 1 1 1 7

4 1 0 0 0 8

5 1 0 0 1 9

(B)..Senkron sayıcılar

Olmak üzere iki gruba ayrılırlar.Bir flip-flop un çıkışının onu takip eden V, flip-flop un girişini tetiklemek için kullanıldığı sayıcılar 'Asenkron sayıcılar' olarak tanımlanırlar.Bu tip sayıcılarda flip-flop lar 'toggle' modunda çalışırlar, yani uygulanan her tetikleme sinyalinde durum değiştirirler.Asenkron sayıcıların en önemli dezavantajları,tetikleme yönteminden kaynaklanan yayılım gecikmesidir.

Kurma kavramı;

Durum (A).. '0' seviyeli silme ;

Başlangıçta flip-flopların tümü 0 değerine kurulu değilse sayma işleminde problemler doğabilir bunu önlemek için direnç ve kondansatör den oluşan basit bir sıfırlama devresi kurulmuştur.

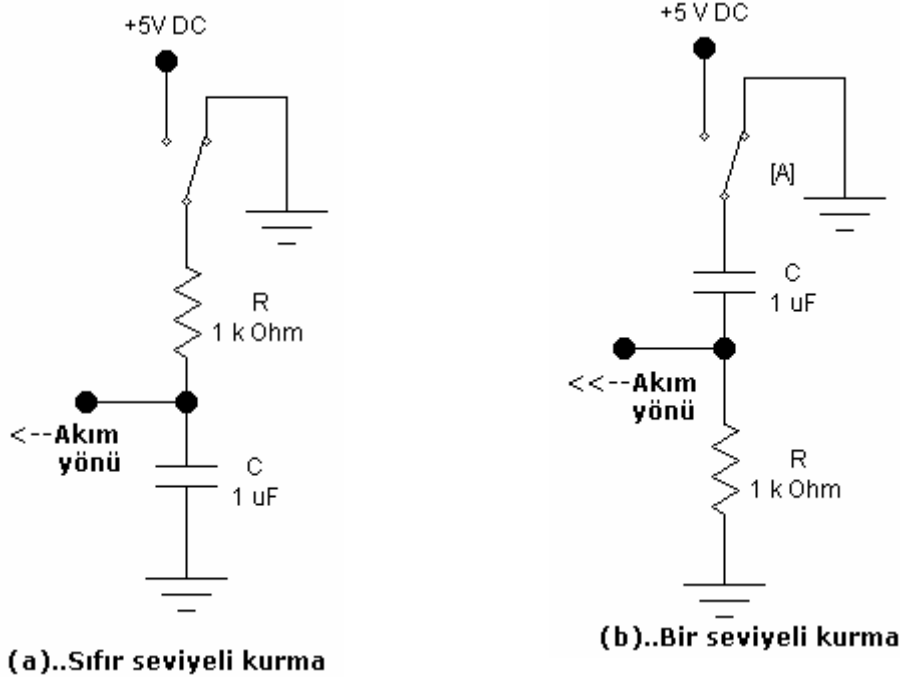
Çalışması;

Sistemde entegrelerin reset girişlerinden faydalanılmaktadır.sıfır seviyeli silmede anahtar kapatılır kapatılmaz kondansatörden max akım geçer, c=1 olur, entegrelere ise “0” gider. Bu ise tüm JK flip-flopların 0 seviyesine kurulması anlamına gelir.Kondansatör dolduğunda ise yalıtkan gibi davranır ve entegrelere 1 gider.Devre şekli aşağıdadır.

Durum..(B) “1” Seviyeli silme

Anahtar kapatılır kapatılmaz akım kondansatör üzerinden entegrelere ulaşır bu ise sayısal anlamda entegrelere “1” gitmesi demektir.Bu ise tüm JK flip-flop ları 0 seviyesine kurar.Kondansatör bir süre sonra dolduğunda yalıtkan hale gelir ve entegrelere 0 gider

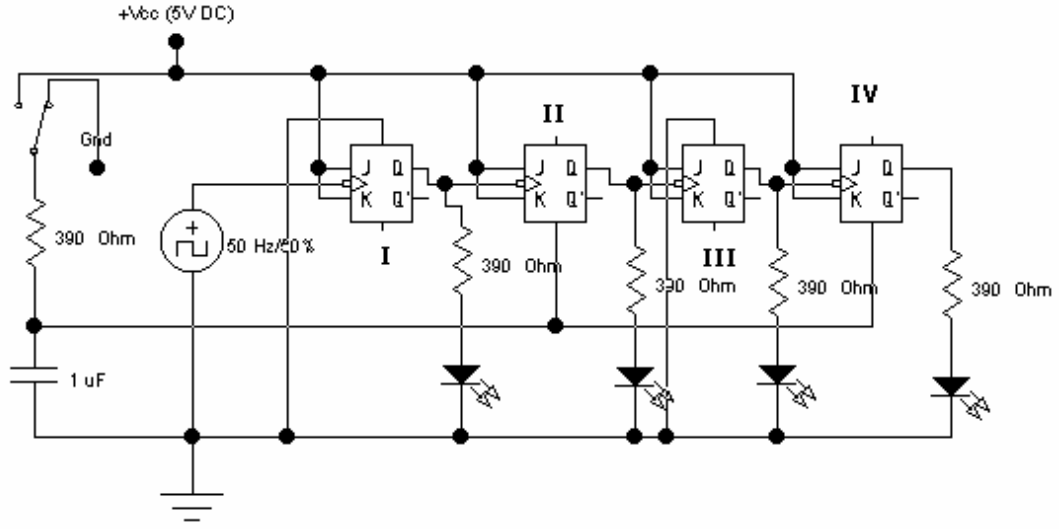
Devre şekilleri



Sıfırlama hakkında

Belirli tip Flip-floplar sıfırlama girişleri (reset-R) yanında ön kurma (preset-S) girişlerine de sahiptirler.Bu giriş aktif olunca, ilgili flip-flop'un çıkışı “1” değerine kurulur.Hem ön kurma hemde sıfırlama girişlerine sahip flip-flop`lar kullanılarak, sayma işleminin istediğimiz kademeden başlaması sağlanabilir.Belirli bir sayıdan başlayarak sayma işlemi yapan asenkron sayıcı devrelerine önkurmalı sayıcılar denir.

DENEY BAĞLANTI ŞEMASI



Şekil 8

DENEYİN YAPILIŞI

Devrede anahtar kapatıldığında kondansatör boş olduğundan R (II ve III flip-flop lara) ve S (I. ve IV flip-floplara) uçlarına “0” palsi uygulanmış olur.Bu ise devrede I. ve IV flip-flopların “1” değerine kurulması ,II. Ve III. flip-floplarınsa “0” değerine kurulması anlamına gelir.Sayma işlemi $(0100)_2=4$ rakamdan başlar ve 9 a kadar saymaya devam eder.

DENEYİN SONUCU

Sisteme enerji v erdiğimiz de 0 dan başlayıp 9 a kadar saydığını ve tekrar s9 dan sonra 0 a döndüğünü ve tekrar 0 dan 9 a saymaya devam ettiğini gördük.Deneyde esas olarak J-K tipi flip-flopların birbirleriyle senkronize olarak nasıl çalıştıkları anlaşılmiş oldu.Ayrıca ön kurma 1 se 0 seviyeli silme kavramlarının yanı sıra 7476 entegresinin reset ve set uçlarının nasıl çalıştığını da öğrenmiş olduk.

MANTIK DEVRELERİ II DERSİ

VII.HAFTA DENEY RAPORU

DENEY I

DOĞRUDAN SIFIRLAMALI VE AŞAĞI/YUKARI MOD 8 ASENKRON SAYICI

Deneyin amacı:J-K flip-flopları kullanarak doğrudan sıfırlamalı ve Aşağı/yukarı Nod 8'e göre asan senkron sayıcıyı tasarlamak

Kullanılan malzemeler ;

Eleman	Değeri	Adedi
1) Entegre	7476-7447-7486	2 – 1-1
2) Direnç	390 ohm	8
3) Ortak anotlu display	-	1
4) Güç kaynağı	220/15 Volt	1
5) Bord	-	1

TEORİK BİLGİ

DENEY VE ASENKRON SAYICILAR HAKKINDA KISACA..

Clk	C	B	A	J _C	K _C	J _B	K _B	J _A	K _A
0	0	0	0	X	X	X	X	1	X
1	0	0	1	X	X	1	X	X	1
2	0	1	0	X	X	X	X	1	X
3	0	1	1	1	X	X	1	X	1
4	1	0	0	X	X	X	X	1	X
5	1	0	1	X	X	1	X	X	1
6	1	1	0	X	X	X	X	1	X
7	1	1	1	X	1	1	X	X	1
0	0	0	0						

Asenkron sayıcılar

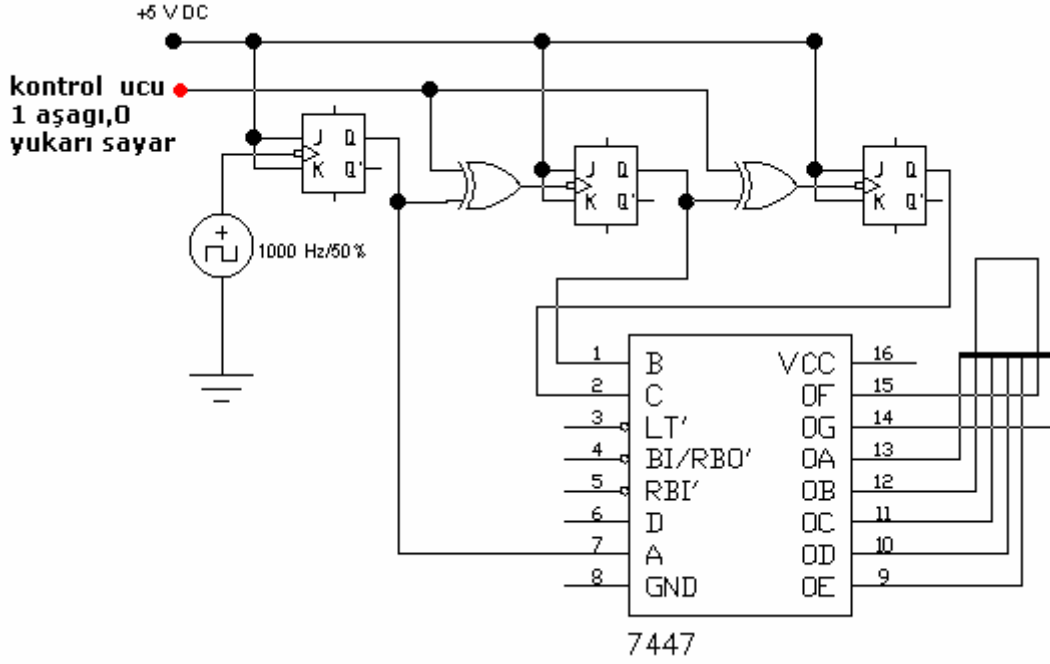
2ⁿ den farklı sayma işlemi gerçekleştiren sayıcılar oluşturmanın diğer bir yöntemi, doğrudan sıfırlamalı sayıcı tasarlamaktır.Bu yöntemde tasarım karmaşık ve daha uzun olmakla beraber tetikleme sinyalinin diğer flip-floplardan değil de doğrudan, eşzamanlı olarak flip-floplara dağıtımı asenkron sayıcının dezavantajlarını ortadan kaldırır.

Doğrudan sıfırlamalı sayıcı tasarımında; kullanılacak flip-flop tipi ve sayısı tespit edildikten sonra , flip-flopların çıkışlarının nasıl değiştiğini gösteren bir tablo oluşturulur.oluşturulan tablo yardımıyla, flip-floplar için tetikleme sinyallerinin nereden alınacağı tespit edilir.

Deneyde her J_A, K_A, J_B, K_B, J_C ve K_C için mintermler yazılıp karno haritasına dökülüp sadeleştirme yapılırsa;

$J_A = K_A = J_B = K_B, J_C = K_C = 1$ sonucu elde edilir. Buradan da sonuç karno haritasına dökülüp gerklı devre şaması çizilir.

DENEY BAĞLANTI ŞEMASI



Şekil 9

DENEYİN YAPILIŞI

Devre şekilde verildiği gibi eksiksiz şekilde board üzerine kurulur. Devre sorunsuz kurulduktan sonra seçici uca 1 uygulandığında sistem 111 yani 7 değerinden itibaren 0 değerine kadar sayar. Eğer seçici uca 0 verilirse sistem 0 değerinden 7 Decimal değere kadar sayar.

DENEYİN SONUCU

Deneyde doğrudan sıfırlamalı ve Aşağı/Yukarı mod 8 asenkron sayıcı devresinin tasarımını ve uygulamasını yaptık ayrıca senkron sayıcı tasarımı ve senkron sayıcılar hakkında da bilgi edinmiş olduk.

MANTIK DEVRELERİ II DERSİ

VIII.HAFTA DENEY RAPORLARI

DENEY I MOD 7 SENKRON SAYICI DEVRESİ

Deneyin amacı:J-K flip-flopları kullanarak 0`dan 6`ya kadar sayan (mod 7) senkron sayıcıyı tasarlamak ve bord üzerinde çalışmasını gözlemlemek.

Kullanılan malzemeler ;

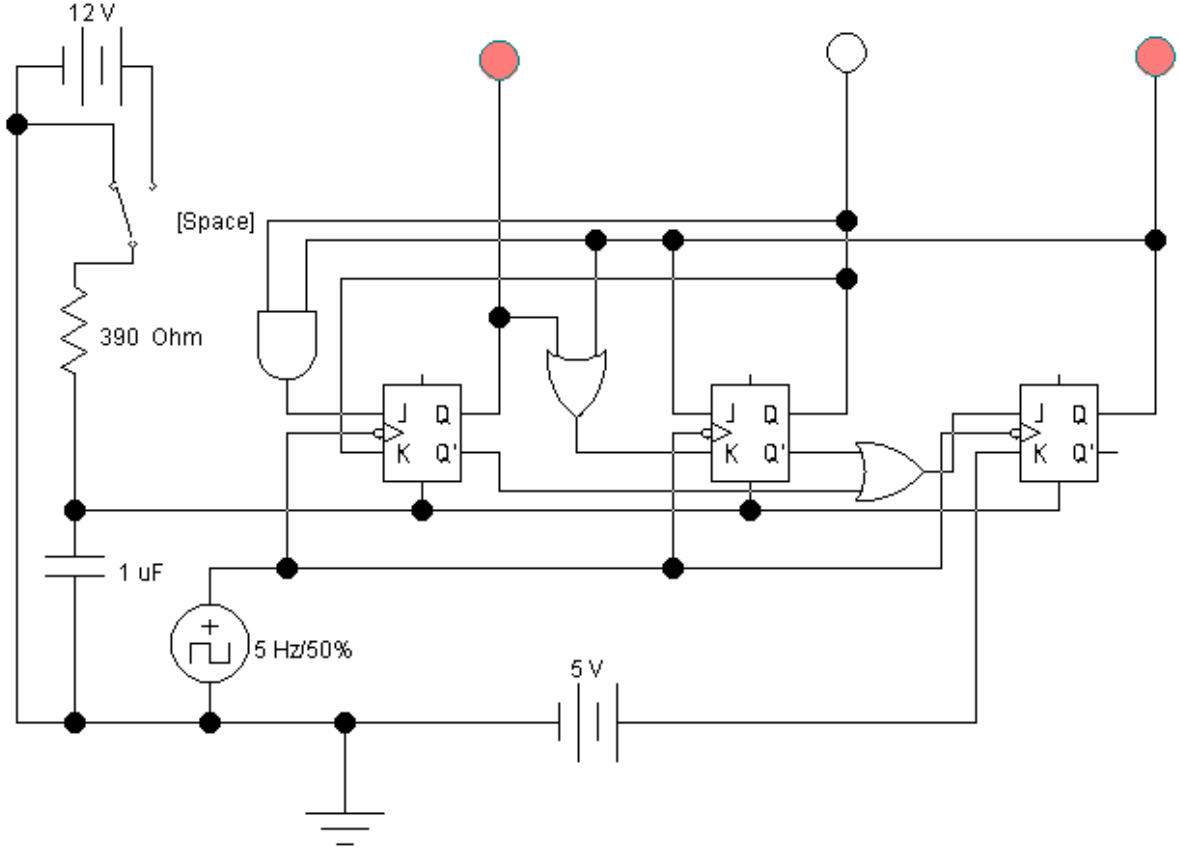
Eleman	Değeri	Adedi
1) Entegre	7476-7432	1
2) Direnç	390 ohm	3
3) Led	Kırmızı	3
4) Güç kaynağı	220/15 Volt	1
5) Bord	-	1

TEORİK BİLGİ DENEY VE SENKRON SAYICILAR HAKKINDA KISACA..

Senkron sayıcılar

Clk	A	B	C	J _A	K _A	J _B	K _B	J _C	K _C	
0	0	0	0	0	X	0	X	1	X	2 ⁿ den farklı sayma işlemi gerçekleştiren sayıcılar oluşturmanın diğer bir yöntemi, doğrudan sıfırlamalı sayıcı tasarlamaktır.Bu yöntemde tasarım karmaşık ve daha uzun olmakla beraber tetiklem sinyalinin diğer flip-floplardan değilde doğrudan eşmanlı olarak flip-floplara dağıtımı asenkron sayıcının dez avantajlarını ortadan kaldırır.
1	0	0	1	0	X	1	X	X	1	
2	0	1	0	0	X	X	0	1	X	
3	0	1	1	1	X	X	1	X	1	Doğrudan sıfırlamalı sayıcı tasarımında; kullanılacak flip-flop tipi ve sayısı tespit edildikten sonra , flip-flopların çıkışlarının nasıl değiştiğini gösteren bir tablo oluşturulur.oluşturulan tablo yardımıyla, flip-floplar için tetikleme sinyallerinin nereden alınacağı tespit edilir.Daha önceki raporlarda J-K flip-floplar hakkında ve senkron-asekron sayıcılar hakkında ayrıntılı bilgi bulabilirsiniz.
4	1	0	0	X	0	0	X	1	X	
5	1	0	1	X	0	1	X	X	1	
6	1	1	0	X	1	X	1	0	0	
0	0	0	0							

DENEY BAĞLANTI ŞEMASI



Şekil 10

Doğrudan sıfırlamalı senkron mod 7 sayıcı devre şeması

DENEYİN YAPILIŞI

Deneyde her J_A, K_A, J_B, K_B, J_C ve K_C için mintermler yazılıp karno haritasına dökülüp sadeleştirme yapılırsa;

$J_A=BC, K_A=B, J_B=K_B=A+C, J_C=A'+B', K_C=1$ sonucu elde edilir. Buradan da elde edilen sadeleştirilmiş ifadeler gerekli malzemeler kullanılarak bord üzerine kurulur. Sisteme enerji verdiğimizde ise 0 dan 6 ya kadar sayan devremiz düzgün çalışır.

DENEYİN SONUCU

Deneyde mod 7 senkron sayıcı devresinin tasarımını ve uygulamasını yaptık ayrıca senkron sayıcı tasarımını ve senkron sayıcılar hakkında da bilgi edinmiş olduk.

MANTIK DEVRELERİ II DERSİ IX.HAFTA DENEY RAPORLARI

DENEY I JOHNSON SAYICILAR

Deneyin amacı:D flip-flopları kullanarak johnson sayıcı devresini tasarlayıp bord üzerine kurmak ve sayıcı girişinde kod çözme işleminin olduğunu göstermek.

Kullanılan malzemeler ;

Eleman	Değeri	Adedi
1) Entegre	D tipi FF	4
2) Direnç	390 ohm	4
3) Led	Kırmızı	4
4) Güç kaynağı	220/5 Volt	1

TEORİK BİLGİ DENEY VE JOHNSON SAYICILAR HAKKINDA KISACA..

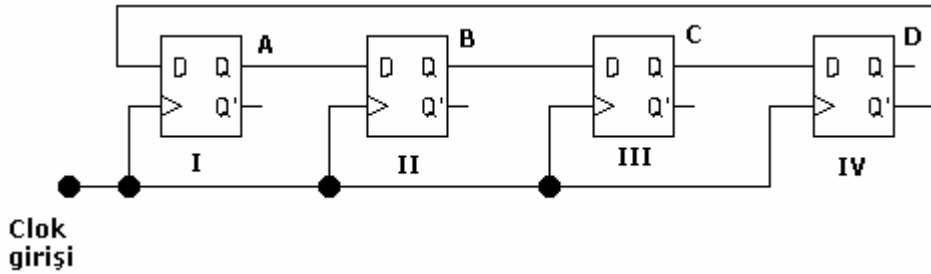
Johnson sayıcılar

Clk	Q ₁	Q ₂	Q ₃	Q ₄	ANDkapısı
0	0	0	0	0	X A'D'
1	1	0	1	0	X AB'
2	1	1	0	0	X BC'
3	0	1	1	1	X CD'
4	1	0	0	X	0 AD
5	1	0	1	X	0 A'B
6	1	1	0	X	1 B'C
7	0	0	0		C'B

Halka sayıcıda yağılan küçük bir işlemi küçük bir değişiklikle gerçekleştiren diğer sayıcı devresi **johnson sayıcı** devresidir. Bu devrenin halka sayıcı devresinden farkı ; en son flip-flop`den ilk flip-flop`a yapılan geri besleme bağlantısının Q çıkışı yerine Q' çıkışından alınmasıdır. Yandaki şekilde sistemin doğruluk tablosu ve aşağıda ki şekilde devre şeması görülmektedir. Johnson tipi sayıcı tasarımında D tipi flip-floplar kullanılır. Bunun doğruluk tablosu ise aşağıda verilmiştir.

Q _t	Q _{t+1}	T
0	0	0
0	1	1
1	0	1
1	1	0

DENEY BAĞLANTI ŞEMASI



Şekil 11

DENEYİN YAPILIŞI

Johnson sayıcıda, ilk anda tüm flip-flopların çıkışı 0`dır. İlk gelentetikleme sinyali ile ; J=1 ,K=0 değerine sahip olan FF₁ in Q çıkışı '1' değerini alır. FF₁ in çıkışı ; FF₂`nin J=1,K=0 değerini almasını sağlar ve gelen ikinci sinyal ile FF₂`nin Q çıkışı '1' değerini koruduğu anda gelen üçüncü tetikleme palsi ile J=1 , K=0 değerine sahip olan FF₃ `ün Q çıkışında '1' oluşur. Konum değiştirmeler bu şekilde devam ederek 4 sayma sonucunda tüm çıkışlar '1' olur. Sayılmak istenen sayı dizisinin yarısı kadar FF`a ihtiyaç vardır.

Bizim yaptığımız sayıcı Johnson mod 8 sayıcıdır. Johnson sayıcı devresi her bir sayma durumunu tespit edecek (çözümleyecek) lojik kapılara ihtiyaç duyar. Kullanılan FF sayısı ne olursa olsun 2 girişli ve kapısı yeterli olur. Doğruluk tablosunda girişleri açıklanan 8 adet ve kapının devreye bağlanması ile , her bir kapı belli bir durum anında yetkilendir ve kapı çıkışları birbirini izleyen 8 zamanlama sırası üretir.

DENEYİN SONUCU

Deneyde mod 7 senkron sayıcı devresinin tasarımını ve uygulamasını yaptık ayrıca senkron sayıcı tasarımını ve senkron sayıcılar hakkında da bilgi edinmiş olduk.

MANTIK DEVRELERİ II DERSİ X.HAFTA DENEY RAPORLARI

DENEY I SERİ GİRİŞ PARALEL ÇIKIŞ KAYDEDİCİ DEVRESİ

Deneyin amacı:Seri giriş paralel çıkış kaydedici devresini 74164 entegresiyle gerçekleştirmek ve çalışma mekanizmasını incelemek..

Kullanılan malzemeler ;

Eleman	Değeri	Adedi
6) Entegre	74164	1
7) Direnç	390 ohm	4
8) Led	Kırmızı	4
9) Güç kaynağı	220/5 Volt	1

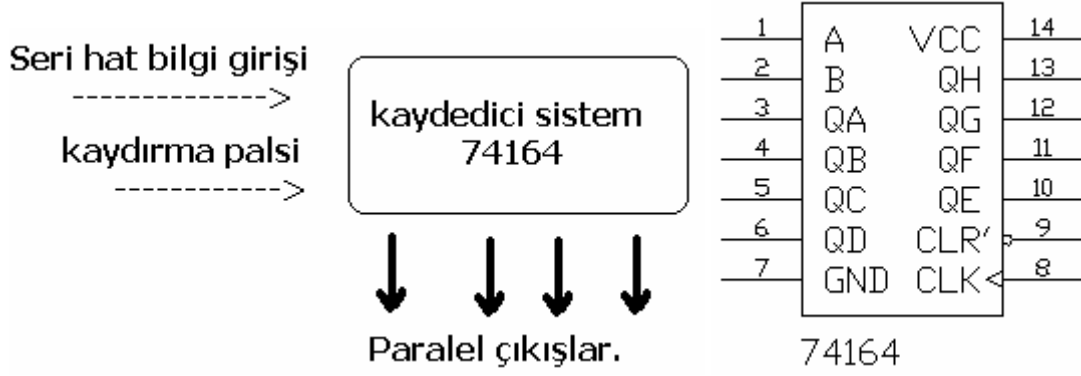
TEORİK BİLGİ DENEY VE KAYDEDİCİLER HAKKINDA KISACA..

Seri giriş paralel çıkış kaydedicilerde bilgi A flip-flobundan girilir, ABC ve D **flip-floplarından aynı anda paralel olarak alındığı devrelere** denir.Bu tip devrelerde bilgiye istenilen zamanda erişmek

mümkündür. Bu devreler bir hattan gelen bilgiyi bir çok hatta dağıttığı için multiplexer devresine benzetilebilir.

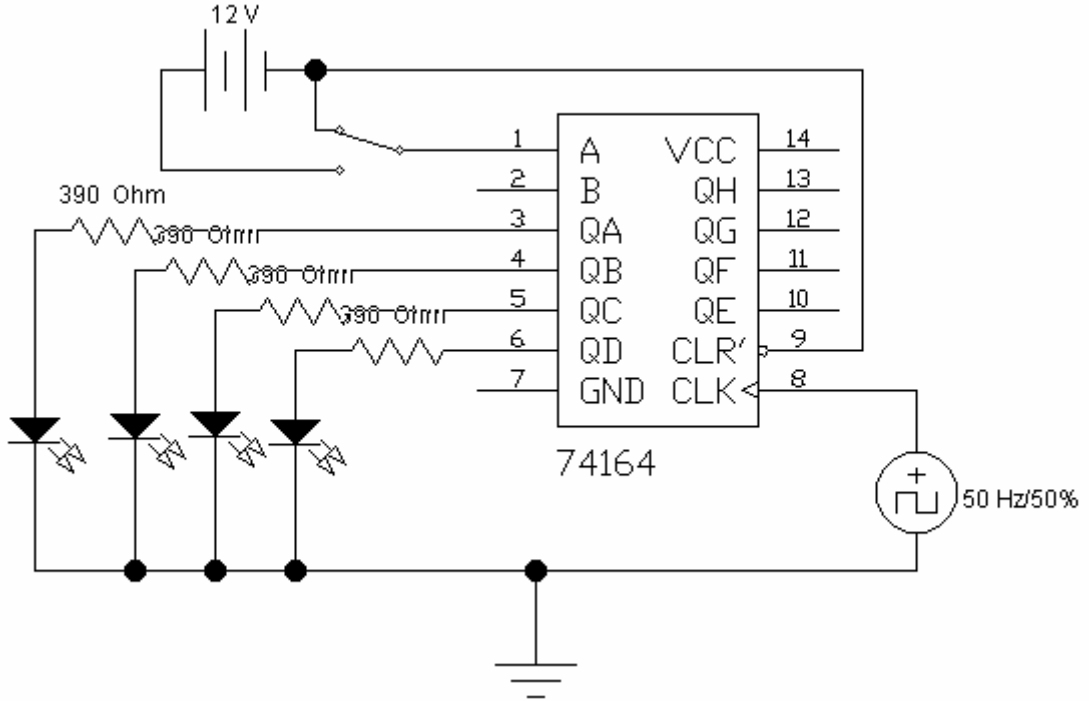
74164 entegresi her bir flip-flop çıkışına harici olarak ulaşabilen 8 bit seri giriş paralel çıkış işlemini sağlayan kaydedici entegresidir. Entegredeki 9. bacakta giriş alon set girişi tüm flip-flopların aynı anda 0 olmasını sağlayan sıfırlama girişidir.

DEVRE PRENSİP ŞEMASI VE ENTEGRE BAĞLANTI İÇ YAPISI



Şekil 12

DENEY BAĞLANTI ŞEMASI



Şekil 13

DENEYİN YAPILIŞI

Devre şekilde görüldüğü gibi bord üzerine kuruldu ve girişe uygulanan (9 numaralı bacaktan) kaydırma palsi ile birlikte çıkış kedlerinden teorik bilgiye uygun olarak pals gözlemlendi.

DENEYİN SONUCU

Deneyde kaydediciler,registerlerin çalışma mantığının yanısıra seri giriş paralel çıkış register devsininde çalışma mantığı anlaşıldı.Deneyde ayrıca74164 entegresinin iç yapısında ayrıca öğrenilmiş olundu.

DENEY II PARLEL GİRİŞ PARALELEL ÇIKIŞ KAYDEDİCİ DEVRESİ

Deneyin amacı:Paralel giriş paralel çıkış kaydedici devresini 74174 entegresiyle gerçekleştirmek ve çalışma mekanizmasını incelemek..

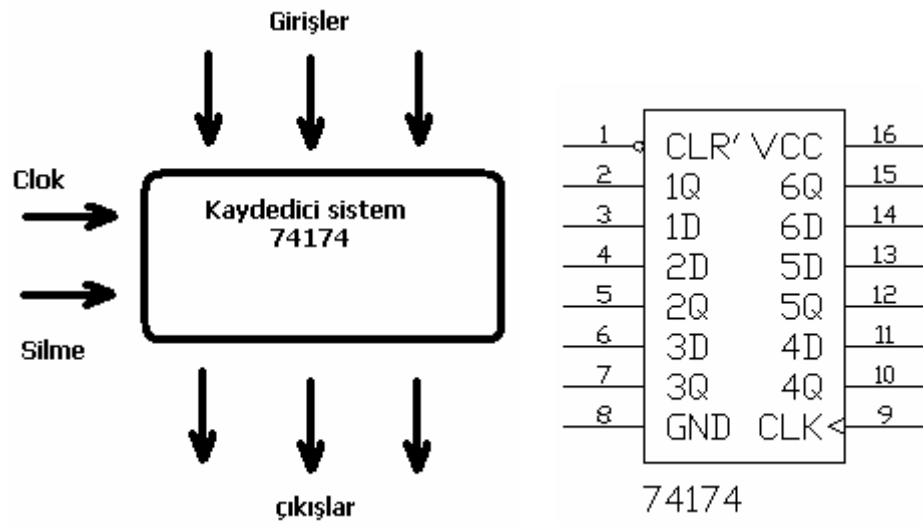
Kullanılan malzemeler ;

Eleman	Değeri	Adedi
10) Entegre	74174	1
11) Direnç	390 ohm	4
12) Led	Kırmızı	4
13) Güç kaynağı	220/5 Volt	1

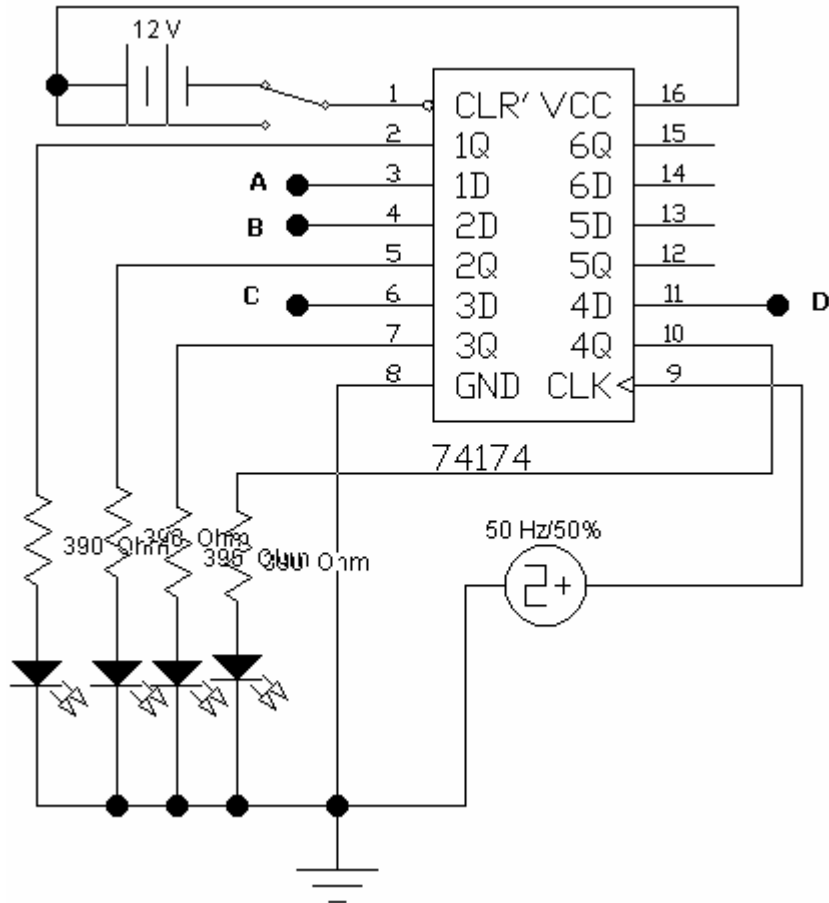
TEORİK BİLGİ DENEY VE KAYDEDİCİLER HAKKINDA KISACA..

Paralel girişlerden girilen bilginin aynı anda paralel çıkışlara aktarıldığı devrelere paralel giriş paralel çıkış kaydedici devreler denir.

Paralel girişteki bigilerin yüklenmesi için 'Clk' girişi kullanılırken, tüm flip-flopların sıfırlanması için clr 1nolu uç kullanılır.normalde çıkışlar paralel olarak okunmasına rağmen yalnızca Q₅ çıkışının kullanılması ile bilgilerin seri olarak okunması mümkündür.



DENEY BAĞLANTI ŞEMASI



Şekil 14

DENEYİN YAPILIŞI

Devre şekilde görüldüğü gibi bord üzerine kuruldu ve girişe uygulanan (8 numaralı bacaktan) kaydırma palsi ile birlikte çıkış kedlerinden teorik bilgiye uygun olarak palsi gözlemlendi.

DENEYİN SONUCU

Deneyde kaydediciler,registerlerin çalışma mantığının yanı sıra paralel giriş paralel çıkış register devsinin de çalışma mantığı anlaşıldı.Deneyde 74174 entegresinin iç yapısı da ayrıca öğrenilmiş olundu.

MANTIK DEVRELERİ II DERSİ XI.HAFTA OP-AMP UYGULAMASI

DENEY I

OP-AMP UYGULAMALARI

Deneyin amacı:Op-amp`ların çalışma mantığını irdelemek için iki adet devreyi incelemek ve çalışma prensibini analiz etmek.

Kullanılan malzemeler ;

Eleman	Değeri	Adedi
14) Entegre	741	1
15) Direnç	10K-20K	4-5
16) Led	Kırmızı	2
17) Güç kaynağı	220/05	2

TEORİK BİLGİ

DENEY HAKKINDA KISACA..

Opamp: Background Information

A	B	C	D	ANALOG ÇIKIŞ	
0	0	0	0	0	The operational amplifier is a high-gain block based upon the principle of a differential amplifier. It is common to applications dealing with very small input signals.
0	0	0	1	0,2	The open-loop voltage gain (A) is typically very large (10e+5 to 10e+6). If a differential input is applied across the "+" and "-" terminals, the output voltage will be:
.	$V = A * (V+ - V-)$
1	1	1	0	2,8	The differential input must be kept small, since the opamp saturates for larger signals. The output voltage will not exceed the value of the positive and negative power supplies (Vp), also called the rails, which vary typically from 5 V to 15 V.
1	1	1	1	3,0	This property is used in a Schmitt trigger, which sets off an alarm when a signal exceeds a certain value.

Other properties of the opamp include a high input resistance (Ri) and a very small output resistance (Ro). Large input resistance is important so that the opamp does not place a load on the input signal source. Due to this characteristic, opamps are often used as front-end buffers to isolate circuitry from critical signal sources. Opamps are also used in feedback circuits, comparators, integrators, differentiators, summers, oscillators and wave-shapers. With the correct combination of resistors, both inverting and non-inverting amplifiers of any desired voltage.

Ideal Opamp Model

The ideal opamp model is the fastest to simulate. Its characteristics include:

- infinite open-loop voltage gain (A),
- infinite input resistance (Ri),
- zero output resistance (Ro),
- infinite bandwidth,
- differential input voltage of zero, so $V- = V+$,

and, zero current flow into either input terminal.

3-Terminal and 5-Terminal Opamp

An opamp (operational amplifier) has a very high voltage gain and input impedance, a very low output impedance and a high bandwidth.

The "+" terminal is non-inverting, the "-" terminal is inverting.

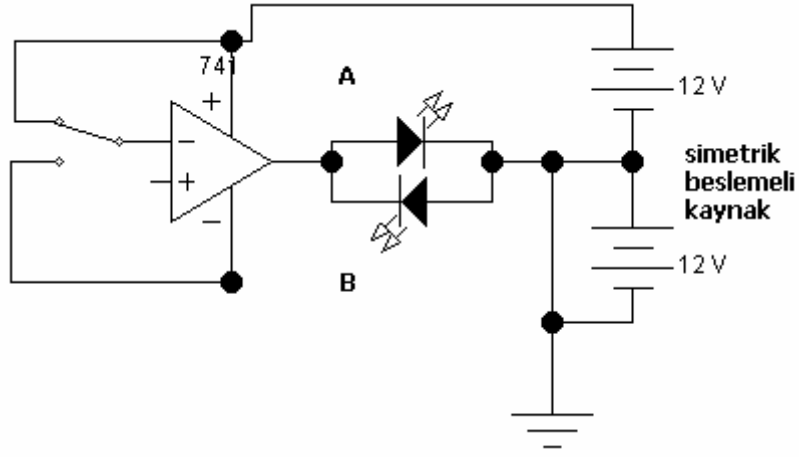
The parts bin contains both a 3-terminal and a 5-terminal opamp. The 3-terminal opamp simulates much faster, but since the model is not as complex, it does not model all the characteristics of an opamp, for example positive feedback.

The 5-terminal opamp has two extra terminals (i.e. the positive and negative power supply terminals) at the top and bottom respectively and is based on the Boyle-Cohn-Pederson model. It

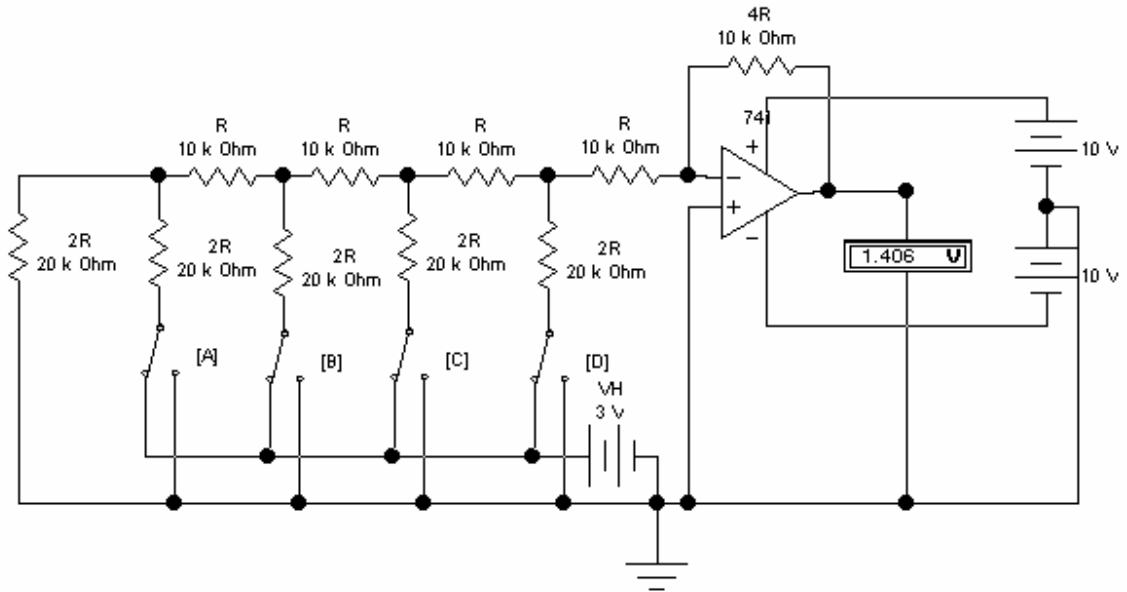
models some second-order effects like common-mode rejection and output voltage and current limiting.

See also: Ideal Opamp Model

DENEY BAĞLANTI ŞEMALARI



Şekil 15



Şekil 16

DENEYİN YAPILIŞI

Şekil 1 de op-amp karşılaştırıcı olarak kullanılmıştır.Şekil 2 de ise op amp bir grup dirençle birlikte merdiven yapılı dijital/analog çevirici olarak kullanılmıştır.2. şeklin doğruluk tablosu yukarıda verilmiştir.

DENEYİN SONUCU

Deneyde op-amp ların çalışma prensipleriyle birlikte dijital/analog çeviricilerle ilgili bilgi enilmiş oldu.

EK - I

TTL ENTEGRELER HAKKINDA TEORİK BİLGİ

TTL entegre devreler DTL (diyot transistör lojik) tipi entegre devrelerin gelişmiş şeklidir. DTL entegrelerdeki giriş diyotlarının yerini çok emitörlü bir giriş transistörü almıştır. Günümüzde en çok kullanılan entegre devre grubudur. TTL entegreler ,dijital elektronikte yaygın olarak kullanılan ve bi polar transistor teknolojisi kullanılarak üretilmiş entegrelerdir. TTL entegrelerin belli başlı özellikleri:

- ✓ İsimleri 74 harfleri ile başlar (7400,74193,vb...)
- ✓ TTL entegrelerin Çıkışları 10 ayrı TTL elemanını sürebilir.
- ✓ 5 V besleme gerilimi ile çalışırlar.
- ✓ Yayılım gecikme süreleri azdır.
- ✓ Lojik 1 seviyeleri yaklaşık 2,4...5V arasındadır.
- ✓ Lojik 0 seviyeleri yaklaşık 0...0,8V arasındadır.
- ✓ Güç harcaması fazladır.

TTL entegreler kendi aralarında çeşitlere ayrılırlar bunlardan önemlileri :

1. Standart TTL : TTL :74...
2. Düşük Güçlü TTL : Low Power TTL : LTTL :74L...
3. Şotki Serisi TTL : Schottky TTL : STTL : 74S...
4. Düşük Güçlü Şotki TTL : Low Power Schottky TTL : LSTTL : 74LS...
5. Geliştirilmiş Düşük Güçlü Şotki TTL: Advanced Low Power Schottky TTL: ALSTTL: 74ALS...

Tip	Yayılım Gecikmesi	Kapı Başına Güç Harcaması	Çıkış L (alçak)	Akımı H (Yüksek)
74...	10 ns	10 mW	16 mA	0,4 mA
74L...	33 ns	1 mW	1,6 mA	40 µA
74S...	3 ns	25 mW	20 mA	1 mA
74LS...	9,5 ns	2 mW	8 mA	0,4 mA

74AS...	2,5 ns	8,4 mW	20 mA	2 mA
74ALS...	5 ns	1,6 mW	8 mA	0,4 mA

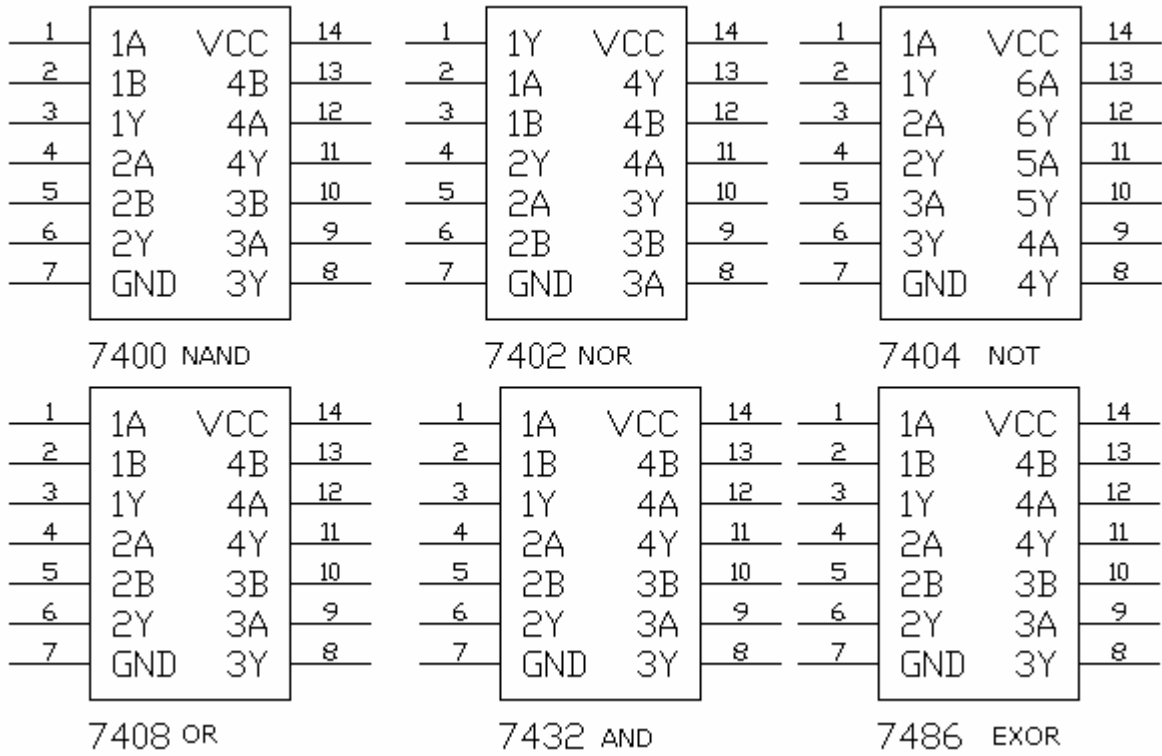
Alt gruplar arasında çeşitli parametre farklılıkları vardır. TTL entegre grubunun tüm alt grupları 5V \pm % 25'lik besleme gerilimi ile çalışırlar.

TTL lojik devreler çıkışlarına göre üç ayrı grupta toplanırlar:

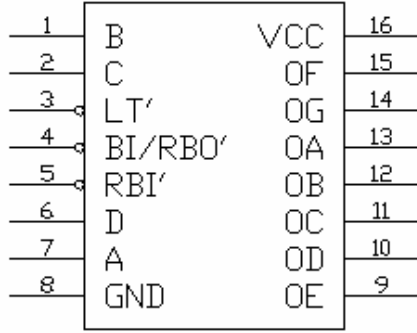
- 1) Açık kollektör çıkışlı (open collector output)
- 2) Transistor diot çıkışlı ya da yukarı çekici çıkışlı
(totem pole output-totem direği-aktif pull-up output)
- 3) Üç durumlu çıkışlı (three state output)

TTL ENTEGRE SEMBOLLERİ

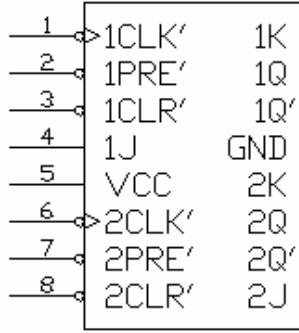
(A)..Standart mantık kapıları



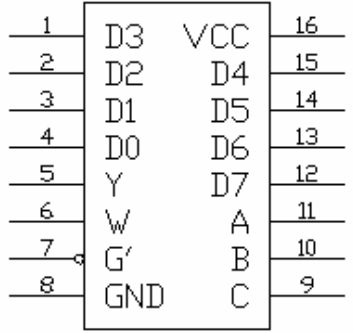
(B)..Diğer entegreler



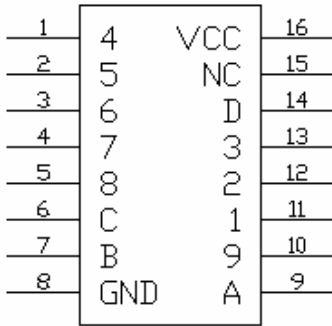
7447 Kod Çözücü



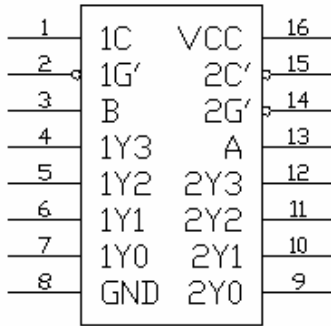
7476 Flip-Flop



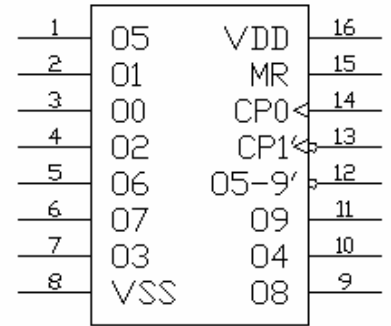
74151 8x1Mux



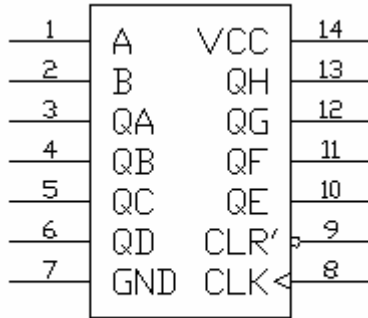
74147 Encoder



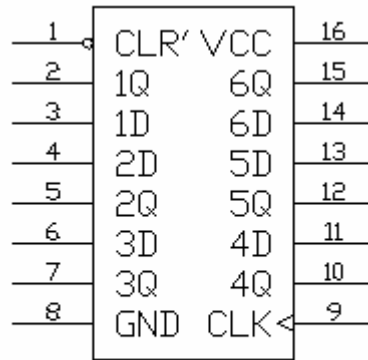
74155 1x8 Demux



4017



74164 S/P I/O
KAYDEDİCİ



74174 P/P I/O
KAYDEDİCİ

EK-II

DİJİTAL-ANALOG ÇEVİCİLER

Teorik bilgi

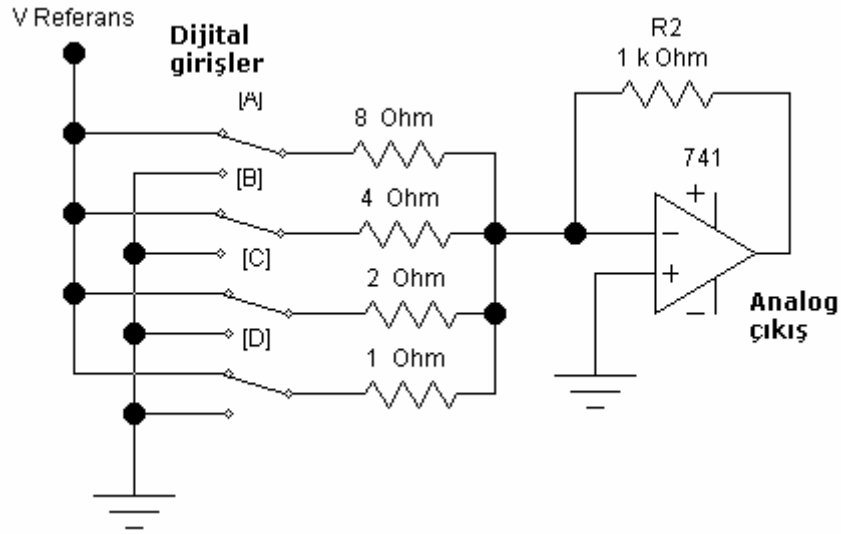
Elektronik devrelerde sayısal veya analog olarak değişen bilgiler üzerinde işlemler yapılır. Sayısal

devrelerde bilgiler sayısal olarak, analog devrelerde ise lineer olarak değişir.

Bazı durumlarda bu sayısal de analog verinin birbirine dönüşümü gerekmektedir. Örneğin sayısal sistemdeki bir sayının çıkış sayı değerinin büyüklüğüne karşılık gelen analog bir ölçü aletiyle ölçülmesi veya bu gerilimle bir sistem kontrol edilmesi gerektiğinde sayısal işaret analog ilarete çevirilmelidir.

Sayısal (bilgişeri) işaretleri analog işaretlerle çeviren devrelere dijital analog çeviriciler denir.

Şekilde ağırlıklı direnç metoduyla D/A çevirici çizilmiştir. Sayısal girişlerde sayısal değerlerin ağırlıklarına göre dirençler kullanılarak büyük bit için R değeri katılarak gider. Çünkü ikili kodda her basamak için 2'nin kuvveti şeklinde katlandığından basamakların ağırlığında 2'nin kuvvetleri şeklinde artar. Dijital girişlerden alınan ve her basamağın ağırlığına göre olan akımlar bir akım toplayıcı devrede toplanır. Devre kararlılığı için dirençlerin tolerans değeri küçük tutulmalıdır.



Şekil 17

Giriş akımı $I = I_a + I_b + I_c + I_d$ 'dir. Op-amp'nın giriş empedansı büyük olduğundan I akımı I akımına eşit kabul edilebilir. buna göre V gerilimi

$V = -I \cdot R$ dir.

$$I_a = V_{ref} / 8R, I_b = V_{ref} / 4R, I_c = V_{ref} / 2R, I_d = V_{ref} / R$$

$V_0 = [V_{ref} / 8R + V_{ref} / 4R + V_{ref} / 2R + V_{ref} / R] \cdot R_2$ Formülünden bulunur.

Paydaları eşitleyip gerekli düzenlemeleri gerçekleştirirsek;

$$V_0 = R_2 / 8R \cdot [V_{ref} + 2V_{ref} + 4V_{ref} + 8V_{ref}]$$

Çıkış gerilimi giriş bilgilerinin ağırlıklarına göre olmaktadır.

Örnek:

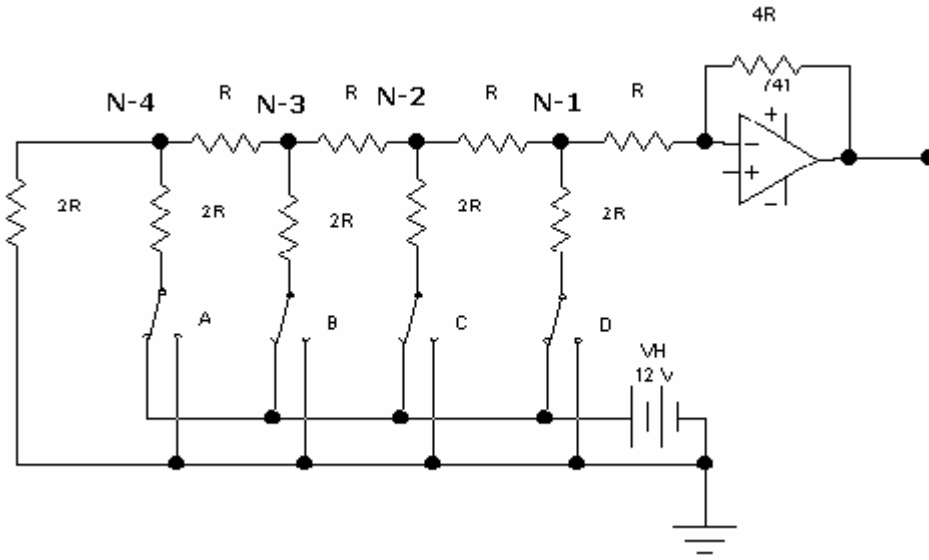
$R_2 = 10K, R = 10K, V_{ref} = 10$ Volt ise sadece A girişi 1 ise dijital giriş 1 sayısı $V_0 = R_2 / 8R \cdot V_{ref}$ den $V_0 = (10/8 \cdot 10) / 10 = 100/80 = 1.25$ V

$$A \text{ ve } B \text{ girişi } 1 \text{ ise dijital olarak } 3 \text{ sayısı } V_0 = R_2 / 8R \cdot (V_{ref} + 2V_{ref}) \quad V_0 = (10/8 \cdot 10)$$

$(100/8 \times 10) \Rightarrow V_0 = 300/80$ $V_0 = 3.75$ Volt giriş sayısı 1'in 3 katına önca çıkış voltajıda 3 katına çıkmaktadır. Giriş dayısı ile orantılı çıkış gerilimi elde edilmektedir. Birbirinin katı dirençler kullanıldığından uygulama zorluğu doğar bundan dolayı uygulamada pek kullanılmaz.

2R MERDİVEN METODU D/A ÇEVİRİCİ

Şekilde merdiven tipli D/A devresi görülmektedir. En büyük sayısal değer operasyon ampilifikatörüne uygulanmaktadır. Diğer sayısal değerlerin uygulandığı düğüm noktalarındaki gerilimler operasyonel ampilifikatöre doğru her düğüm noktasında ikiye bölünerek ulaşır. Bu şekilde sabit referans gerilimi (V_r) akım toplama işi yapan ampilifikatöre sayısal değeri oranında ulaşır. Giriş akımları op-amp çıkışında toplanmış gerilim (merdiven dalga) analog işarete dönüştürülmüş olarak çıkıştan alınır.

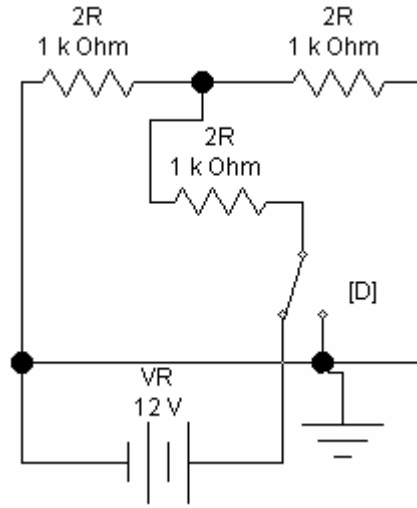


Şekil 18

Sadece D sayısal girişi (MSB) 1 olduğunda N-1 düğüm noktasına referans geriliminin $1/3$ 'ü düşer. N-1 Düğüm noktasında sağa ve sola bakıldığında şase ile N-1 düğüm noktası arası $2R$ direnç gösterir. $2R$ paralel olduğundan N-1 düğümü ile şase arası R değerindedir.

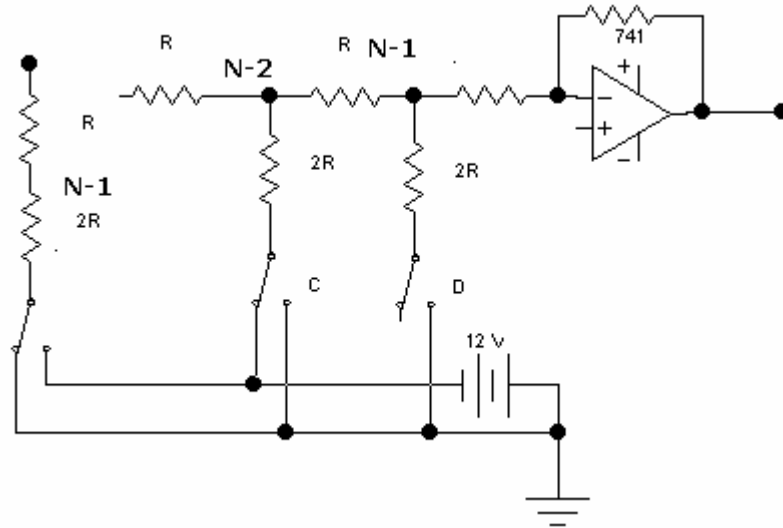
N-1 düğümü potansiyeli $-V_r/3$ olur. $V_r = 18$ volt olduğu kabul edersek MSB (D)=1 olduğunda N-1 düğümü $V_r/23$ den $18/3 = 6V$ olur. Op-amp geri besleme direnci $4R$ giriş direnci $2R$ olduğundan kazancı $-4R/2R$ dir. N-1 düğüm gerilimi $-V_r/3$ olduğundan V_0 çıkış gerilimi $V_0 = (-V_r/3) \cdot (-4R/2R)$ dir.

$$V_0 = -18/3 \times -4/2 = 12 \text{ V olur.}$$



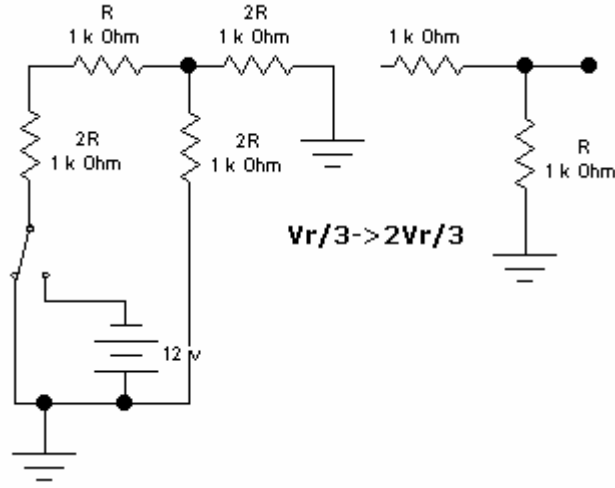
Şekil 19

Sayısal girişlerden sadece C girişi 1 ise N-2 düğümü potansiyeli $-V_r/3$ 'dür.



Şekil 20

N-2 düğümünden N-1 düğümüne bakıldığında bu gerilim ikiye bölünür.



Şekil 21

C=1 Sayısal girişinden op-amp girişine $-V_r/6$ gerilimi uygulanır.Çıkış gerilimi ise kazanç $-4/2$ olduğundan

$$V_0 = (V_r/6) \times (-4/2) = -2V_r/3 \text{ olur.}$$

Hesaplanan çıkış voltajından da anlaşılacağı gibi "D" sayısal girişi 1 iken (8rakam) çıkış gerilimi 12 V C sinyal girişi 1 iken (4rakam) çıkış gerilimi 6 V olmaktadır.Buna göre analog çıkış gerilimi girişteki sayısal bilgiyle orantılı olarak elde edilir.

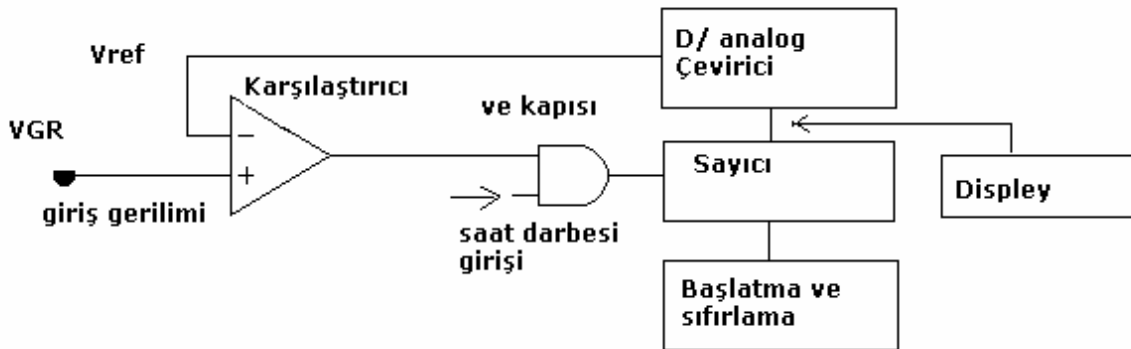
ANALOG DİJİTAL ÇEVİRİCİ

Analog işaretli (DC gerilimi) sayısal eşdeğerine çeviren devreşdrir.

Elektriksel büyüklükleri sayısal olarak ölçen ölçü aletlerinde kontrol sistemlerinde kullanılır.Analog işareti dijital işarete çeviremenin en önemli yöntemlerinden olan Analog işareti karşılaştırma ve genliğini zamana çeviremeğdir.

Karşılaştırma metodu:

Analog işaret A/D çevirici sayıcısından alınan işareti analog işarete çeviren D/A çevirici gerilimiyle ölçülecek gerilimin karşılaştırması yoluyla yapılır.Böyle bir çeviricinin blok şeması aşağıdadır.



Şekil 22

Dijital işarete çeviricilerde gerilim karşılaştırıcının bir girişine

uygulanır.Karşılaştırıcının ikinci girişine D/A çevirici çıkışındaki merdiven dalga uygulanır.Çevirme işlemine başlarken sayıcı sıfırlanır,dolayısıyla D/A çevirici çıkışı merdiven dalga en alt basamaktadır veya sıfır seviyesindeki karşılaştırıcı girişindeki VGR V_{ref} çıkışından daha büyük olduğundan karşılaştırıcı çıkışı (1) dir.Ve kapısı 2 nolu girişinden saat darbeleri sayıcıya ulaşır ve sayıcı saymaya başlar.D/A çıkışındaki merdiven dalganın da sayıcı çıkışına bağlı olarak genliği artar.Bu genlik (V_{ref}) VGR ye eşit olunca karşılaştırıcı çıkışı 0 olur.Ve kapısı saat darbelerini işletmez ,sayıcı durur.

Sayıcı çıkışına aynı anda display bağlı olduğundan sayılan değer sayma işlemi D/A çevirici çıkışındaki dalganın giriş gerilimine bağlıdır.Dolayısıyla sayama işlemi D/A çevirici çıkışındaki dalganın giriş gerilimine eşit oluncaya kadar süreceğinden Analog işaret Dijital işarete çevirilmiş olur.Girişgerilimi değiştiğinde çevirmeyi tekrarlamak gerekir.Bunun içinde sayıcı sıfırlanır.Çevirmenin sürekliliği için sayıcı belirli zaman aralıklarında bir anahtarlama devresiyle sıfırlanabilir.Bu şekilde giriş gerilimi bağlı kaldığısüreçe çevirme bu aralıklarla tekrarlanır.Giriş gerilimi değişiyorsa sonuçta değişir.

ANALOG-DİJİTAL ÇEVİRİCİ ENTEGRELERİ

